

Enseignants:	Legat Jean-Didier ; Bol David ;
Langue d'enseignement:	Anglais
Lieu du cours	Louvain-la-Neuve
Ressources en ligne:	Moodle > http://moodleucl.uclouvain.be/enrol/index.php?id=3
Préalables :	-- La filière électronique de base en circuits digitaux est un pré-requis indispensable : LELEC1530 et LELEC2531. -- Un cours de conception de systèmes embarqués est un avantage : LINGI2315.
Thèmes abordés :	L'augmentation exponentielle des performances de calcul des circuits intégrés digitaux a radicalement modifié notre vie quotidienne dans de nombreux domaines (privé, professionnel, médical, industriel). Ces circuits comptent aujourd'hui plusieurs millions de transistors. Ceci engendre une complexité telle que leur conception requière l'utilisation de méthodologies et d'outils de conception assistée par ordinateur (CAO) dans un flot de conception systématisé. Dans ce cours, nous allons étudier la synthèse automatique de circuits intégrés digitaux de grande ampleur (microprocesseurs, ASIC) en utilisant un flot de synthèse descendant partant de la conception du système à sa traduction en portes logiques CMOS et à son implémentation physique sur une puce de silicium (layout).
Acquis d'apprentissage	a. Contribution de l'activité au référentiel AA (AA du programme ELEC) AA1 Socle de connaissances : concepts électroniques (AA1.1), logiciels de simulation et de CAO (AA1.2) AA2 Compétences d'engineering : analyse, conception et implémentation d'un circuit électronique digital, AA3 Compétences de R& mp;D : se documenter sur les solutions existantes dans le domaine visé par le projet (AA3.1) AA5 Communication efficace : rédiger un document écrit en tenant compte des exigences contextuelles et du public visé (AA5.5). b. Formulation spécifique pour cette activité des AA du programme (maximum 10) À l'issue de ce cours, l'étudiant en circuits et systèmes électroniques sera en mesure de : -- produire le layout d'un circuit intégré digital dans une technologie CMOS moderne en partant d'une description comportementale et en utilisant des outils de CAO de niveau industriel, -- discuter les compromis liés à la synthèse de circuits intégrés digitaux entre surface de silicium, vitesse de calcul, consommation énergétique, flexibilité et robustesse, -- mettre au point une stratégie de vérification des résultats obtenus en utilisant la simulation SystemVerilog, -- évaluer rapidement l'efficacité de solutions architecturales à haut niveau en utilisant la simulation SystemC, -- communiquer clairement et efficacement des résultats techniques obtenus par un rapport de conception de circuit. <i>La contribution de cette UE au développement et à la maîtrise des compétences et acquis du (des) programme(s) est accessible à la fin de cette fiche, dans la partie « Programmes/formations proposant cette unité d'enseignement (UE) ».</i>
Modes d'évaluation des acquis des étudiants :	L'évaluation individuelle est basée sur 12 travaux courts à rendre durant le quadrimestre et sur le projet final consistant en une remise de rapport en fin de quadrimestre et une discussion des résultats du projet en session d'examen.
Méthodes d'enseignement :	Le cours est organisé comme suit. -- 14 séances de cours et/ou séminaires ciblés donnés par des intervenants externes du monde industriel introduiront les concepts importants en matière de conception de circuits digitaux et seront largement illustrés par des exemples récents de circuits digitaux industriels et de recherche. -- Un projet central individuel de conception d'un circuit digital intégré, jalonné par un travail personnel court à rendre chaque semaine lié à une étape du flot de synthèse. Ce projet en auto-apprentissage se fera à l'aide d'outils CAO industriels. L'interaction entre les étudiants et les enseignants et assistants sera favorisée par l'utilisation d'un forum sur la plateforme Moodle.

<p>Contenu :</p>	<p>-- Modélisation comportementale de systèmes digitaux en SystemC -- Codage HDL robuste en Verilog -- Synthèse logique de circuits digitaux -- Placement et routage de circuits digitaux -- Optimisation de timing et de librairies -- Vérification de systèmes digitaux en SystemVerilog</p>
<p>Bibliographie :</p>	<p>Digital VLSI Chip Design with Cadence and Synopsys CAD Tools by Erk Brunvand</p>
<p>Cycle et année d'étude: :</p>	<p>> Master [120] : ingénieur civil électromécanicien > Master [120] : ingénieur civil électricien</p>
<p>Faculté ou entité en charge:</p>	<p>ELEC</p>